

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関  
国際事務局



(43)国際公開日  
2005年4月28日 (28.04.2005)

PCT

(10)国際公開番号  
WO 2005/038931 A1

(51)国際特許分類:

H01L 29/786

(21)国際出願番号:

PCT/JP2004/015405

(22)国際出願日: 2004年10月19日 (19.10.2004)

(25)国際出願の言語:

日本語

(26)国際公開の言語:

日本語

(30)優先権データ:

特願2003-359262 2003年10月20日 (20.10.2003) JP  
特願2004-294133 2004年10月6日 (06.10.2004) JP

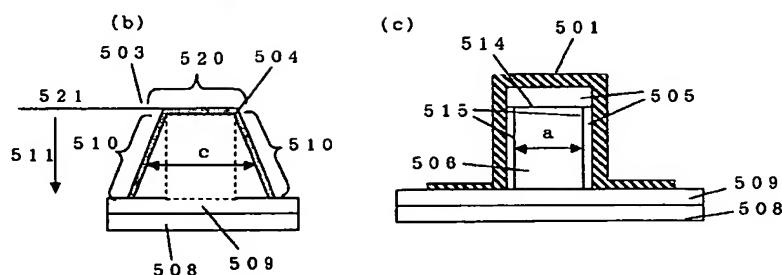
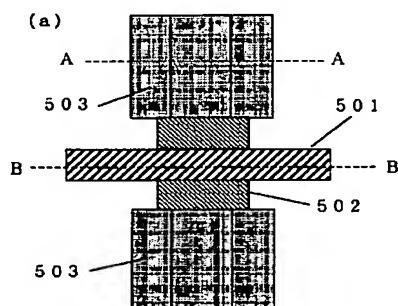
(71)出願人(米国を除く全ての指定国について): 日本電気  
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001  
東京都港区芝五丁目7番1号 Tokyo (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 寺島 浩一  
(TERASHIMA, Kolchi) [JP/JP]; 〒1088001 東京都港区  
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP). 竹  
内 澄 (TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東京  
都港区芝五丁目7番1号 日本電気株式会社内 Tokyo  
(JP). 山上 滋春 (YAMAGAMI, Shigeharu) [JP/JP]; 〒  
1088001 東京都港区芝五丁目7番1号 日本電気株式  
会社内 Tokyo (JP). 若林 整 (WAKABAYASHI, Hitoshi)  
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日  
本電気株式会社内 Tokyo (JP). 小椋 厚志 (OGURA,  
Atsushi) [JP/JP]; 〒1088001 東京都港区芝五丁目  
7番1号 日本電気株式会社内 Tokyo (JP). 渡部 宏  
治 (WATANABE, Koji) [JP/JP]; 〒1088001 東京都港区  
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).  
辰巳 徹 (TATSUMI, Toru) [JP/JP]; 〒1088001 東京都  
港区芝五丁目7番1号 日本電気株式会社内 Tokyo  
(JP). 武田 晃一 (TAKEDA, Kolchi) [JP/JP]; 〒1088001  
東京都港区芝五丁目7番1号 日本電気株式会社内  
(続葉有)

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54)発明の名称: 半導体装置及び半導体装置の製造方法



(57) Abstract: A semiconductor device is characterized by comprising a source/drain region which is wider than a semiconductor region at least in the widest portion and has an inclined portion wherein the width is continuously increased from the uppermost side toward the base side and a silicide film formed on the surface of the inclined portion.

(続葉有)

WO 2005/038931 A1



Tokyo (JP). 野村 昌弘 (NOMURA, Masahiro) [JP/JP];  
〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内 Tokyo (JP). 田中 聖康 (TANAKA, Masayasu)  
[JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日  
本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒  
1070052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興  
和ビル 8 階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,  
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,  
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,  
TD, TG).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

---

(57) 要約: ソース／ドレイン領域の少なくともその幅が最も大きい部分では半導体領域の幅よりも大きく、かつソ  
ース／ドレイン領域の最上部側から基体側に向かって連続的に幅が大きくなっている傾斜部を有し、該傾斜部表面に  
シリサイド膜が形成されていることを特徴とする半導体装置とする。